

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-339983

(43)Date of publication of application : 08.12.2000

(51)Int.Cl.

G11C 16/06
 H01L 27/115
 H01L 27/10
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 11-152554

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.05.1999

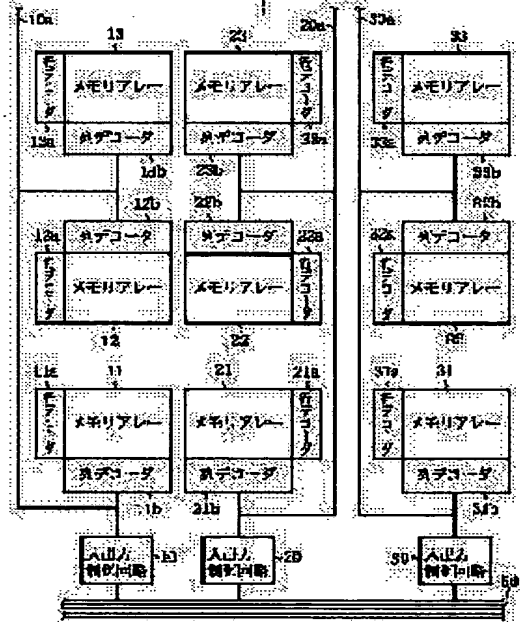
(72)Inventor : ISHII MOTOHARU
 YAMAMOTO MAKOTO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively utilize the area of a chip by providing an I/O control circuit for writing and reading data to and from the memory cell of a memory array which is connected to each memory array of each row via a global bit line and selected by a row decoder.

SOLUTION: Each of I/O control circuits 10, 20, and 30 is arranged corresponding to a plurality of memory arrays of each row, global bit lines 10a, 20a, and 30a are wired to the plurality of memory arrays of each row from the I/O control circuits 10, 20, and 30, and data is inputted and outputted to and from the plurality of memory arrays of each row from the I/O control circuits 10, 20, and 30 via the global bit lines 10a, 20a, and 30a for controlling, thus the number of the I/O control circuits can be reduced, and the exclusive area of a chip by the I/O control circuit can also be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application
 converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
 rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-339983

(P2000-339983A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ド* (参考)	
G 1 1 C 16/06		G 1 1 C 17/00	6 3 6 Z	5 B 0 2 5
H 0 1 L 27/115		H 0 1 L 27/10	4 8 1	5 F 0 0 1
27/10	4 8 1		4 3 4	5 F 0 8 3
21/8247		29/78	3 7 1	
29/788				

審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平11-152554

(22) 出願日 平成11年5月31日 (1999.5.31)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石井 元治

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 山本 誠

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

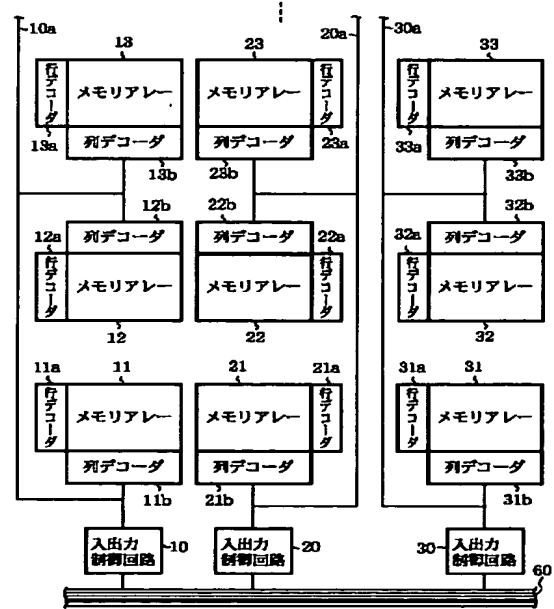
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 多数の入出力制御回路のチップ専有面積が大きく、チップ面積が有効に利用されていない。

【解決手段】 各列の複数のメモリアレーに対応してそれぞれ1つの入出力制御回路10、20、30を配置し、それら入出力制御回路10、20、30から各列の複数のメモリアレーには、グローバルビット線10a、20a、30aを配線して、それら入出力制御回路10、20、30からグローバルビット線10a、20a、30aを介して各列の複数のメモリアレーにデータを入出力制御するように構成することによって、入出力制御回路の数を激減させることができ、入出力制御回路によるチップ専有面積を小さくする。



【特許請求の範囲】

【請求項1】 マトリックス状に分割された複数のメモリアレーと、上記各メモリアレーに対応して設けられ、行アドレス選択信号に応じて対応するメモリアレー内の1行のメモリセルを選択する行デコーダと、上記各メモリアレーに対応して設けられ、列アドレス選択信号に応じて対応するメモリアレー内の上記選択された1行のメモリセルのうちの1つのメモリセルを選択する列デコーダと、上記各列の複数のメモリアレーに対応して設けられると共に、それら各列の各メモリアレーにグローバルビット線を介して接続され、上記列デコーダによって選択されたメモリアレーのメモリセルとデータの書き込みおよび読み出しを行う入出力制御回路とを備えた半導体集積回路装置。

【請求項2】 グローバルビット線は、メモリアレー、行デコーダ、および列デコーダの周辺に配線したことを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 入出力制御回路は、1辺に配置したことを特徴とする請求項1または請求項2記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、電氣的に書き込みおよび読み出しが可能なメモリアレーからなる半導体集積回路装置に関するものである。

【0002】

【従来の技術】 図5は従来の半導体集積回路装置の実デバイスを示す内部構成図であり、図において、11~13, 21~23, 31~33はマトリックス状に分割された複数のメモリアレーである。11a~13a, 21a~23a, 31a~33aは各メモリアレーに対応して設けられ、行アドレス選択信号に応じて対応するメモリアレー内の1行のメモリセルを選択する行デコーダ、11b~13b, 21b~23b, 31b~33bは各メモリアレーに対応して設けられ、列アドレス選択信号に応じて対応するメモリアレー内の上記選択された1行のメモリセルのうちの1つのメモリセルを選択する列デコーダである。11c~13c, 21c~23c, 31c~33cは各メモリアレーに対応して設けられ、各行デコーダおよび各列デコーダによって選択されたメモリアレーのメモリセルとデータの書き込みおよび読み出しを行う入出力制御回路、40は各入出力制御回路とデータの伝送を行うデータバスである。

【0003】 図6は従来の半導体集積回路装置の実デバイスの詳細を示す内部構成図であり、図において、11, 12は図5に示したメモリアレー11, 12に対応したものである。A0, A1は行デコーダ12aから入力される行アドレス選択信号、A2, A3は列デコーダ12bから入力される列アドレス選択信号、A4, A5は行デコーダ11aから入力される行アドレス選択信

号、A6, A7は列デコーダ11bから入力される列アドレス選択信号である。11c, 12cは図5に示した入出力制御回路11c, 12cに対応したものである。50は各入出力制御回路とデータの入出力を行うと共に、行デコーダおよび列デコーダにアドレス信号を入力する入出力インタフェース回路である。また、メモリアレー11, 12において、11o~11r, 12o~12rは各1ビットのデータの書き込み可能なメモリセル、11s, 11t, 12s, 12tは列アドレス選択信号A2, A3、またはA6, A7に応じてオン、オフするトランジスタである。

【0004】 次に動作について説明する。図5に示したように、マトリックス状に分割された各メモリアレーには、行デコーダおよび列デコーダが配置されていると共に、メモリアレーのメモリセルとデータの書き込みおよび読み出しを行う入出力制御回路が配置されている。また、各入出力制御回路とデータの伝送を行うデータバス40が、それら各入出力制御回路の配置に応じて、横方向に複数と、それら複数の横方向のデータバスを接続するために縦方向に配線されている。

【0005】 また、図6に示した詳細な内部構成図において、メモリアレー12のメモリセル12oにデータを書き込み、およびデータの読み出しを行いたい時は、入出力インタフェース回路50から各行デコーダおよび各列デコーダにアドレス信号を入力すると共に、入出力制御回路12cに書き込みたいデータを入力する。行デコーダ12a, 11aおよび列デコーダ12b, 11bはその入力されたアドレス信号に応じて、A0, A1, A4, A5にそれぞれ“H”, “L”, “L”, “L”の行アドレス選択信号を、また、A2, A3, A6, A7にそれぞれ“H”, “L”, “L”, “L”の列アドレス選択信号を入力する。これによって、“H”レベルを入力した行アドレス選択信号A0のラインと、“H”レベルを入力した列アドレス選択信号A2のトランジスタがオンしたラインとの交点に配置された、メモリセル12oのフローティングゲートがオンになり、入出力制御回路12cから書き込みたいデータを入力すれば、メモリセル12oにデータを書き込むことができる。

【0006】 また、データの読み出しは、同様に行アドレス選択信号および列アドレス選択信号により、メモリセル12oのフローティングゲートをオンにし、入出力制御回路12cによってそのメモリセル12oのフローティングゲートに書き込まれたデータを出力すれば、メモリセル12oから入出力制御回路12cにデータを読み出すことができる。入出力制御回路12cによって読み出されたデータは入出力インタフェース回路50に出力される。なお、このようなメモリアレーへのデータの書き込みおよび読み出しは、各列毎のメモリアレーのうち、1つのメモリセルに対してのみ実行できるものである。すなわち、図5において、1回のタイミングでアク

セスできるのは、各列毎のメモリアレー 11a~13a、メモリアレー 21a~23a、メモリアレー 31a~33a に対して、例えば、メモリアレー 12a のメモリセル 12o、メモリアレー 22a のメモリセル 22o、メモリアレー 32a のメモリセル 32o に対してのみ実行できるものである。

【0007】

【発明が解決しようとする課題】従来の半導体集積回路装置は以上のように構成されているので、マトリックス状に分割された各メモリアレーには、メモリアレーのメモリセルとデータの書き込みおよび読み出しを行う入出力制御回路が 1 対 1 で配置されており、これら多数の入出力制御回路のチップ専有面積が大きく、チップ面積が有効に利用されていない課題があった。また、各入出力制御回路とデータの伝送を行うデータバス 40 が、それら各入出力制御回路の配置に応じて、横方向に複数と、それら複数の横方向のデータバス 40 を接続するために縦方向に配線されており、これら多数のデータバス 40 もチップ専有面積が大きく、チップ面積が有効に利用されていないなどの課題があった。

【0008】この発明は上記のような課題を解決するためになされたもので、チップ面積を有効に利用することができる半導体集積回路装置を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係る半導体集積回路装置は、各列の複数のメモリアレーに対応して設けられると共に、それら各列の各メモリアレーにグローバルビット線を介して接続され、列デコーダによって選択されたメモリアレーのメモリセルとデータの書き込みおよび読み出しを行う入出力制御回路を備えたものである。

【0010】この発明に係る半導体集積回路装置は、グローバルビット線を、メモリアレー、行デコーダ、および列デコーダの周辺に配線したものである。

【0011】この発明に係る半導体集積回路装置は、入出力制御回路を、1 辺に配置したものである。

【0012】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態 1. 図 1 はこの発明の実施の形態 1 による半導体集積回路装置の基本構成を示す内部構成図であり、図において、1 は半導体集積回路装置、101 はメモリアレー、101a はメモリアレー 101 内のメモリセルを選択する行デコーダ、101b はメモリアレー 101 内のメモリセルを選択する列デコーダである。100 は行デコーダ 101a および各列デコーダ 101b によって選択されたメモリアレー 101 のメモリセルとデータの書き込みおよび読み出しを行う入出力制御回路、50 は各入出力制御回路とデータの入出力を行うと共に、行デコーダ 101a および列デコーダ 101b にアドレス

信号を入力する入出力インタフェース回路である。

【0013】図 2 はこの発明の実施の形態 1 による半導体集積回路装置の基本構成の詳細を示す内部構成図であり、図において、2 はメモリセル、3 はトランジスタをそれぞれ示す。A0, A1 は行デコーダ 101a から入力される行アドレス選択信号、A2, A3 は列デコーダ 101b から入力される列アドレス選択信号、メモリアレー 101 において、101o~101r は各 1 ビットのデータの書き込み可能なメモリセル、101s, 101t は列アドレス選択信号 A2, A3 に応じてオン、オフするトランジスタである。

【0014】次に動作について説明する。この実施の形態 1 は、フラッシュメモリからなる半導体集積回路装置を示すものである。図 2 のメモリセル 2 に示したように、メモリセル 2 にはトランジスタ 3 とは異なりフローティングゲートが設けられている。図 1 において、半導体集積回路装置 1 にデータを書き込む場合、入出力インタフェース回路 50 に行および列のアドレス信号、制御信号、およびデータが入力され、その入出力インタフェース回路 50 から行デコーダ 101a に行のアドレス信号が出力され、同様に、列デコーダ 101b に列のアドレス信号が、入出力制御回路 100 にデータが出力される。

【0015】図 2 に示すように、ここで、アドレス信号がメモリアレー 101 のメモリセル 101o を指定している時は、行デコーダ 101a、および列デコーダ 101b はその入力されたアドレス信号に応じて、A0, A1 にそれぞれ“H”, “L”の行アドレス選択信号を、また、A2, A3 にそれぞれ“H”, “L”の列アドレス選択信号を入力する。これによって、“H”レベルを入力した行アドレス選択信号 A0 のワード線と、“H”レベルを入力した列アドレス選択信号 A2 のトランジスタ 101s がオンしたデータ線との交点に配置された、メモリセル 101o のフローティングゲートがオンになり、入出力制御回路 100 からデータ線を介して書き込みたいデータを入力すれば、メモリセル 101o のフローティングゲートにデータを書き込むことができる。

【0016】また、データの読み出しは、図 1 において、入出力インタフェース回路 50 に行および列のアドレス信号、および制御信号が入力され、その入出力インタフェース回路 50 から行デコーダ 101a に行のアドレス信号が出力され、同様に、列デコーダ 101b に列のアドレス信号が出力される。図 2 に示すように、ここで、アドレス信号がメモリアレー 101 のメモリセル 101o を指定している時は、同様に行デコーダ 101a、および列デコーダ 101b はその入力されたアドレス信号に応じて、メモリセル 101o のフローティングゲートがオンになるような行アドレス選択信号、および列アドレス選択信号を出力し、入出力制御回路 100 からデータ線を介してメモリセル 101o のフローティン

グゲートに書き込まれたデータを読み出すことができる。入出力制御回路100によって読み出されたデータは入出力インタフェース回路50に出力され、さらに、入出力インタフェース回路50からその読み出されたデータが出力される。

【0017】図3はこの発明の実施の形態1による半導体集積回路装置の実デバイスを示す内部構成図であり、図において、11~13, 21~23, 31~33はマトリックス状に分割された複数のメモリアレーである。11a~13a, 21a~23a, 31a~33aは各メモリアレーに対応して設けられ、行アドレス選択信号に応じて対応するメモリアレー内の1行のメモリセルを選択する行デコーダ、11b~13b, 21b~23b, 31b~33bは各メモリアレーに対応して設けられ、列アドレス選択信号に応じて対応するメモリアレー内の上記選択された1行のメモリセルのうちの1つのメモリセルを選択する列デコーダである。また、10, 20, 30は各列の複数のメモリアレーに対応して設けられると共に、それら各列の各メモリアレーにグローバルビット線10a, 20a, 30aを介して接続され、列デコーダによって選択されたメモリアレーのメモリセルとデータの書き込みおよび読み出しを行う入出力制御回路、60は各入出力制御回路10, 20, 30とデータの伝送を行うデータバスである。

【0018】図4はこの発明の実施の形態1による半導体集積回路装置の実デバイスの詳細を示す内部構成図であり、図において、11, 12は図3に示したメモリアレー11, 12に対応したものである。A0, A1は行デコーダ12aから入力される行アドレス選択信号、A2, A3は列デコーダ12bから入力される列アドレス選択信号、A4, A5は行デコーダ11aから入力される行アドレス選択信号、A6, A7は列デコーダ11bから入力される列アドレス選択信号である。10は図3に示した入出力制御回路10に対応したものである。50は各入出力制御回路とデータの入出力を行うと共に、行デコーダおよび列デコーダにアドレス信号を入力する入出力インタフェース回路である。また、メモリアレー11, 12において、11o~11r, 12o~12rは各1ビットのデータの書き込み可能なメモリセル、11s, 11t, 12s, 12tは列アドレス選択信号A2, A3、またはA6, A7に応じてオン、オフするトランジスタである。

【0019】次に図3および図4の実デバイスに対応した動作について説明する。図3に示したように、マトリックス状に分割された各メモリアレーには、行デコーダおよび列デコーダが配置されている。また、各列の複数のメモリアレーに対応して1つの入出力制御回路10, 20, 30が配置され、それら入出力制御回路10, 20, 30から各列の複数のメモリアレーには、グローバルビット線10a, 20a, 30aが配線されている。

さらに、各入出力制御回路10, 20, 30に対してデータの伝送を行うデータバス60が、それら各入出力制御回路10, 20, 30が半導体集積回路装置1の一边に配置されているので、それら各入出力制御回路10, 20, 30の配置に応じて横方向に1直線に配線されている。

【0020】また、図4に示した詳細な内部構成図において、メモリアレー12のメモリセル12oにデータを書き込み、およびデータの読み出しを行いたい時は、入出力インタフェース回路50から各行デコーダおよび各列デコーダにアドレス信号を入力すると共に、入出力制御回路10に書き込みたいデータを入力する。行デコーダ12a, 11aおよび列デコーダ12b, 11bはその入力されたアドレス信号に応じて、A0, A1, A4, A5にそれぞれ“H”, “L”, “L”, “L”の行アドレス選択信号を、また、A2, A3, A6, A7にそれぞれ“H”, “L”, “L”, “L”の列アドレス選択信号を入力する。これによって、“H”レベルを入力した行アドレス選択信号A0のラインと、“H”レベルを入力した列アドレス選択信号A2のトランジスタがオンしたラインとの交点に配置された、メモリセル12oのフローティングゲートがオンになり、入出力制御回路10からグローバルビット線10aを介して書き込みたいデータを入力すれば、メモリセル12oにデータを書き込むことができる。

【0021】また、データの読み出しは、同様に行アドレス選択信号および列アドレス選択信号により、メモリセル12oのフローティングゲートをオンにし、入出力制御回路10によってグローバルビット線10aを介してそのメモリセル12oのフローティングゲートに書き込まれたデータを出力すれば、メモリセル12oから入出力制御回路10にデータを読み出すことができる。入出力制御回路10によって読み出されたデータは入出力インタフェース回路50に出力される。なお、このようなメモリアレーへのデータの書き込みおよび読み出しは、各列毎のメモリアレーのうち、1つのメモリセルに対してのみ実行できるものである。すなわち、図3において、1回のタイミングでアクセスできるのは、各列毎のメモリアレー11a~13a、メモリアレー21a~23a、メモリアレー31a~33aに対して、例えば、メモリアレー12aのメモリセル12o、メモリアレー22aのメモリセル22o、メモリアレー32aのメモリセル32oに対してのみ実行できるものである。

【0022】なお、上記実施の形態1では、各列の複数のメモリアレーに対応して1つの入出力制御回路10, 20, 30を配置したが、入出力制御回路は、各列の全てのメモリアレーに対応して1つ設けても良いが、入出力制御回路は、各列の全てのメモリアレーを複数に区分したブロックに対応して1つ設けても良い。また、上記実施の形態1では、グローバルビット線10a, 20

a, 30aを、メモリアレー、行デコーダ、および列デコーダの周辺に配線したが、メモリアレー、行デコーダ、および列デコーダ上に配線しても良く、この場合、さらに、グローバルビット線10a, 20a, 30aによるチップ専有面積を小さくすることができ、チップ面積を有効に利用することができる。

【0023】以上のように、この実施の形態1によれば、各列の複数のメモリアレーに対応してそれぞれ1つの入出力制御回路10, 20, 30を配置し、それら入出力制御回路10, 20, 30から各列の複数のメモリアレーには、グローバルビット線10a, 20a, 30aを配線して、それら入出力制御回路10, 20, 30からグローバルビット線10a, 20a, 30aを介して各列の複数のメモリアレーにデータを入出力制御するように構成したので、入出力制御回路の数を激減させることができ、入出力制御回路によるチップ専有面積を小さくすることができるので、チップ面積を有効に利用することができる効果が得られる。また、グローバルビット線10a, 20a, 30aを、メモリアレー、行デコーダ、および列デコーダの周辺に配線したので、グローバルビット線10a, 20a, 30aを実デバイスで構成する場合に、1層目のアルミ配線で形成することができ、これによって、多層プロセスを使用しないで製作することができ、安価に製作することができる。なお、従来から1つの入出力制御回路の上下に1つつつメモリアレーを配置したシェアードセンスアンプ方式があるが、この方式のデータ線は、2層目以上のアルミ配線で形成されるものであり、この実施の形態1の方式の方が簡単に製作することができる。さらに、各入出力制御回路10, 20, 30を半導体集積回路装置1の1辺に配置したので、各入出力制御回路10, 20, 30に対してデータの伝送を行うデータバス60をそれら各入出力制御回路10, 20, 30の配置に応じて横方向に1直線に配線することができ、データバス60によるチップ専有面積を小さくすることができるので、チップ面積を有効に利用することができる効果が得られる。

【0024】

【発明の効果】以上のように、この発明によれば、各列の複数のメモリアレーに対応して設けられると共に、それら各列の各メモリアレーにグローバルビット線を介して接続され、列デコーダによって選択されたメモリアレ

ーのメモリセルとデータの書き込みおよび読み出しを行う入出力制御回路を備えるように構成したので、入出力制御回路の数を激減させることができ、入出力制御回路によるチップ専有面積を小さくすることができるので、チップ面積を有効に利用することができる効果が得られる。

【0025】また、この発明によれば、グローバルビット線を、メモリアレー、行デコーダ、および列デコーダの周辺に配線するように構成したので、グローバルビット線を実デバイスで構成する場合に、1層目のアルミ配線で形成することができ、これによって、多層プロセスを使用しないで製作することができ、安価に製作することができる効果が得られる。

【0026】さらに、この発明によれば、入出力制御回路を、1辺に配置するように構成したので、各入出力制御回路に対してデータの伝送を行うデータバスをそれら各入出力制御回路の配置に応じて横方向に1直線に配線することができ、データバスによるチップ専有面積を小さくすることができるので、チップ面積を有効に利用することができる効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体集積回路装置の基本構成を示す内部構成図である。

【図2】 この発明の実施の形態1による半導体集積回路装置の基本構成の詳細を示す内部構成図である。

【図3】 この発明の実施の形態1による半導体集積回路装置の実デバイスを示す内部構成図である。

【図4】 この発明の実施の形態1による半導体集積回路装置の実デバイスの詳細を示す内部構成図である。

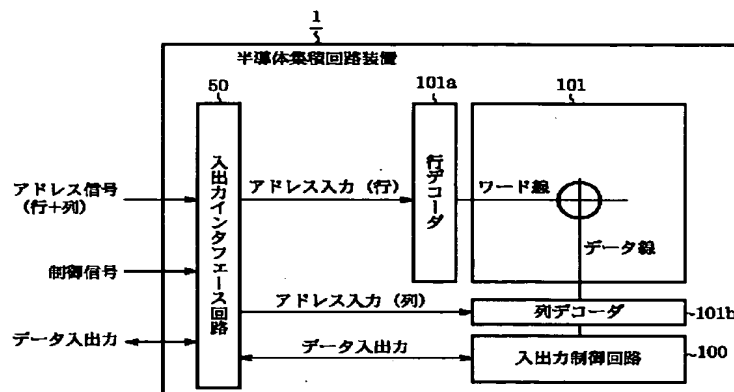
【図5】 従来の半導体集積回路装置の実デバイスを示す内部構成図である。

【図6】 従来の半導体集積回路装置の実デバイスの詳細を示す内部構成図である。

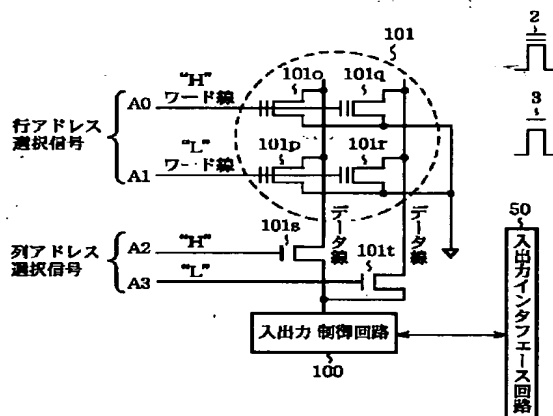
【符号の説明】

1 半導体集積回路装置、10, 20, 30 入出力制御回路、10a, 20a, 30a グローバルビット線、11~13, 21~23, 31~33 メモリアレー、11a~13a, 21a~23a, 31a~33a 行デコーダ、11b~13b, 21b~23b, 31b~33b 列デコーダ、12o メモリセル。

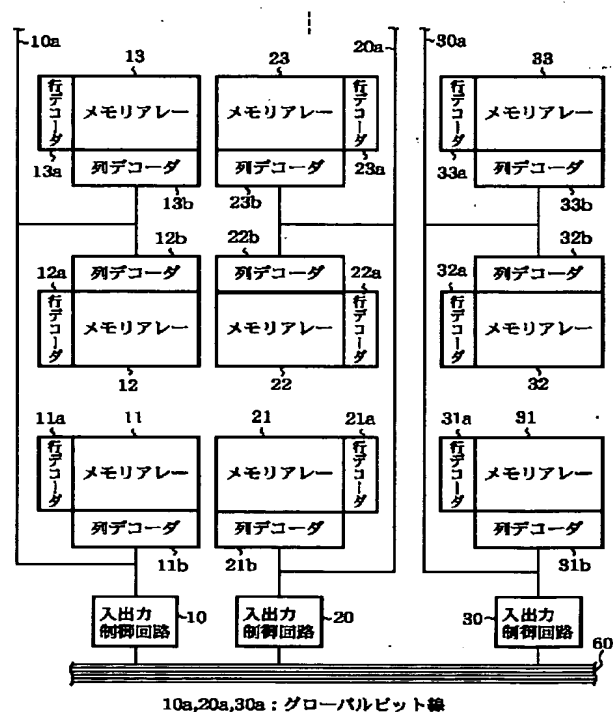
【図1】



【図2】

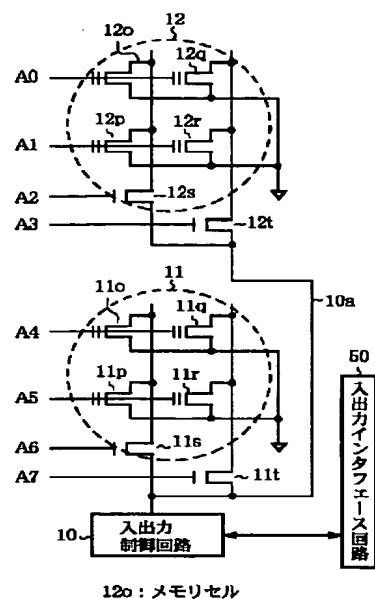


【図3】

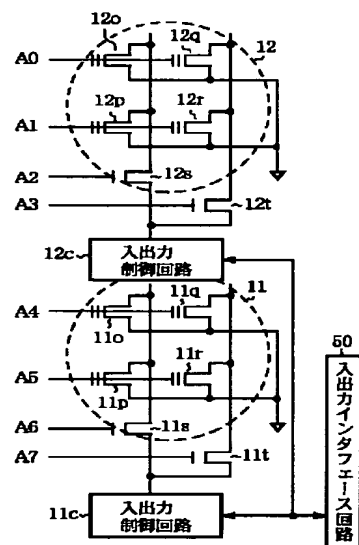


10a,20a,30a: グローバルビット線

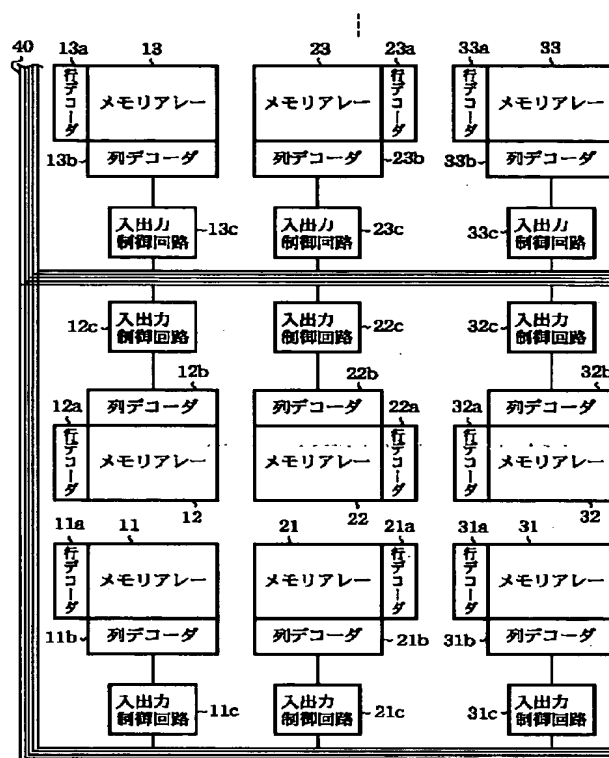
【図4】



【図6】



【図5】



フロントページの続き

(51)Int.Cl.

H01L 29/792

識別記号

F I

テ-マ-ト*(参考)

Fターム(参考) 5B025 AA03 AB01 AC01 AD00 AD02
AD04 AD05 AE00
5F001 AE01 AE02 AE03
5F083 EP00 GA09 GA28 KA05 LA04
LA05 LA10

05